

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **58-190064**

(43)Date of publication of application : **05.11.1983**

(51)Int.Cl.

**H01L 29/78**

**H01L 21/88**

**H01L 23/30**

**H01L 27/10**

(21)Application number : **57-071232**

(71)Applicant : **HITACHI LTD**

(22)Date of filing : **30.04.1982**

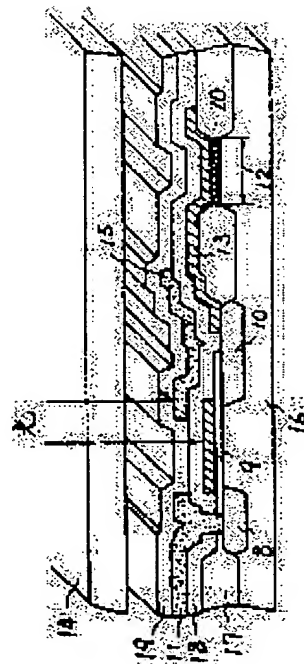
(72)Inventor : **SAWASE TERUMI  
NAKAMURA HIDEO**

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

**PURPOSE:** To prevent the light incidence into the region of diffused layers and thus contrive to improve the leakage characteristic of P-N junction, by forming Al over the diffused layers of a MOSFET.

**CONSTITUTION:** In the MOSFET consisting of a source diffused layer 8, a gate 9, and a source diffused layer 10, a light shielding Al 15 formed simultaneously with a wiring Al 11 is connected to fixed potentials such as a power source and arranged over the source diffused layer 10 contributed to store and retain charges. Since the light incident through a transparent package 14 reflects on the surface of the Al layer 15 after passing through a transparent protection film 19, the light incidence into the P-N junction constituted of the layer 10 and a substrate 16 is prevented, and accordingly the increase of leakage current at the junction of 10-16 is prevented. Further, the capacity of the diffused layer 10 is increased in total capacity to store and retain because of the addition of the capacity for the Al 15.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)  
⑫ 公開特許公報 (A)

⑪ 特許出願公開  
昭58—190064

⑤ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
21/88  
23/30  
27/10

識別記号

庁内整理番号  
7514—5F  
6810—5F  
7738—5F  
6655—5F

⑬ 公開 昭和58年(1983)11月5日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 半導体集積回路

⑯ 特 願 昭57—71232

⑰ 出 願 昭57(1982)4月30日

⑱ 発 明 者 沢瀬照美

国分寺市東恋ヶ窪1丁目280番  
地株式会社日立製作所中央研究  
所内

⑲ 発 明 者 中村英夫

国分寺市東恋ヶ窪1丁目280番  
地株式会社日立製作所中央研究  
所内

⑳ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5  
番1号

㉑ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 半導体集積回路

特許請求の範囲

1. 素子 (MOSFET など) 上に Al (アルミニウム) 層を形成し、光の入射を防止したことを特徴とする半導体集積回路。
2. P-N 接合上に電位を固定した Al 層を形成し、光の入射を防止したことを特徴とする第1項の半導体集積回路。
3. P-N 接合上にソースまたはドレインとなる拡散層に被覆した Al 層を形成し、光の入射を防止したことを特徴とする第1項の半導体集積回路。

発明の詳細な説明

本発明は EPROM オンチップ LSI に係り、特に P-N 接合への光の入射によるリーク特性を改善するのに好適な LSI の形成法に関する。

MOSFET はゲートのオフ状態のインピーダンスが高いことから、第1図に示すような、配線上の容量をメモリ素子とする回路が従来からよく

使用されている。しかし、紫外線等で消去できるメモリ (以下 EPROM) を内蔵する LSI ナップにおいて、LSI 表面が外光にさらされるために、MOSFET の拡散層と基板との間の接合面で多量のリーク電流を発生する。このため、メモリ素子として十分な記憶保持特性を得ることができない欠点があった。

通常の LSI のパッケージは光を完全に遮へいする構造になっており、光の入射による特性の悪化はなかつた。EPROM オンチップ LSI においては、EPROM のデータ消去は紫外線でおこなうため、パッケージ上部は透明物質でおおわれており、劣化を防止するためにはチップを部分的に光から遮へいする必要がある。

本発明の目的は MOSFET の拡散層領域への光の入射を防止し、P-N 接合のリーク特性を改善することにある。

このため、本発明では、情報記憶用に用いる MOSFET の拡散層の上部に金属包膜を設けた。

通常の LSI のパッケージは光を完全に遮へい

する構造になつており、光入射による特性の悪化は問題とはならなかつた。E P R O M オンチップ L S I においては光によるデータ消去の必要性上パッケージ上層が透明物質でおおわれており、特性悪化を防止するために L S I チップを部分的に光から遮へいするようにした。

以下、本発明の実施例を E P R O M (Erasable Programmable ROM) オンチップ半導体集積回路において実施した場合について述べる。

E P R O M オンチップ半導体集積回路は、E P R O M に記憶されているデータを光によつて消去するため、透明パッケージに実装されている。

第1図に本実施例で述べる MOS F E T で構成したラインメモリ(配線容量などにデータを記憶保持するメモリ)の回路図を示す。MOS F E T 1の入力電極8から入力されたデータは1がオンしている期間に1のソース拡散層4、インバータ2の入力ゲート5、および4～5間の配線容量の総和6に伝搬され、1がオフするとデータは6に記憶保持される。しかし4と基板から成る P-N 接

(3)

入射を防ぎ、10-15の接合でのリーク電流の増加を防止することができる。

本実施例によれば、リーク特性の悪化を防ぐとともに、拡散層10の容量は15に対する容量も付加され、記憶保持するための総容量が増えることになり、さらに記憶特性を改善する効果がある。

#### 実施例2

第3図は実施例1において、拡散層10の上部に形成するAと15を10自身に結合して10と同電位にした場合の構造を示す。光に対する効果は実施例1と同様であるが、拡散層10の容量は15を形成しても増加しない。従つて記憶保持するための容量は増加せず、高速度動作を必要とする場合に効果がある。

以上の二実施例は N チャンネル MOS について示したが、P チャンネル MOS およびそれらを組合わせた回路についても同様の効果がある。

上記実施例はラインメモリを構成する場合について示したが、他に数小回路を抜かうアナログ回路等の集合面からのリーク電流の防止方法として

(5)

合7に透明パッケージを介して光が入射すると光エネルギーにより7のリーク電流(P-N接合の逆方向飽和電流)が増加し、6に蓄えられた電荷は徐々に失われることになる。

#### 実施例1

第2図は第1図の回路において本発明を実施した例の MOS F E T の構造を示したものである。ドレイン拡散層8、ゲート9、ソース拡散層10から成る MOS F E T (第1図の1)の入力電極Aと(アルミニウム)11から入力されたデータは10、インバータのゲート酸化膜20から成る入力ゲート12(第1図の5)および10-12間の配線13の容量に記憶保持される。本発明では電荷を記憶保持するために形成している拡散層10の上部に、配線のAと11と同時に形成したAと15を電極などの固定した電位に接続して配線することにより、透明パッケージ14を透過して入射した光は透明な保護膜19を通過したのち、Aと層15の表面で反射するため、10と基板15から成る P-N 接合(第1図の7)への光の

(4)

も有効である。

本発明によれば、P-N接合への光の入射を遮断できるので、光によるP-N接合の逆方向飽和電流の増加を防止する効果がある。

光の遮断面となるアルミ層15は従来の

MOS F E T 形成における配線用のアルミ層11の形成と同時に進行することができ、プロセスの増加を必要としない。またアルミ層15は拡散層10に異なる形に形成するため、L S I 形成上、断面積の増加等の問題は生じない。

#### 図面の簡単な説明

第1図は配線容量を記憶素子として用いるメモリ(ライン・メモリ)の回路図である。

第2図はAとを固定電位にした場合の第1図の回路の MOS F E T 構造である。

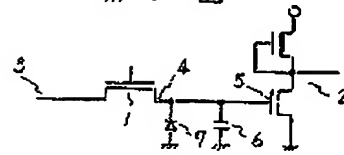
第3図はAとを拡散層に結合した場合の第1図の回路の MOS F E T 構造である。  
1…入力 MOS F E T、2…インバータ、3…入力電極、4…ソース電極、5…入力ゲート、6…配線容量、7…P-N接合、8…ドレイン拡散層、

(6)

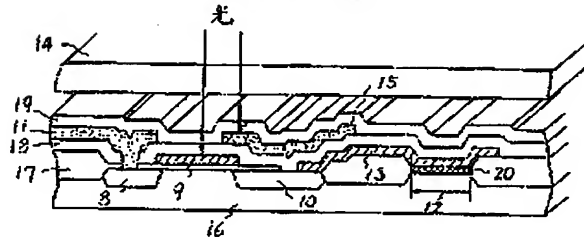
9…ゲート電極、10…ソース拡散層、11…入力  
力Aノ電極、12…インバータの入力ゲート、  
13…入力MOSFETとインバータ間の配線、  
14…透明パッケージ、15…光遮へい用Aノ、  
16…基板、17…酸化膜、18…透明絶縁膜、  
19…透明保護膜、20…ゲート酸化膜。

代理人 舟型士 海田利幸

第1図



第2図



第3図

